

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-298177

(43)Date of publication of application : 05.12.1988

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 62-133814

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 29.05.1987

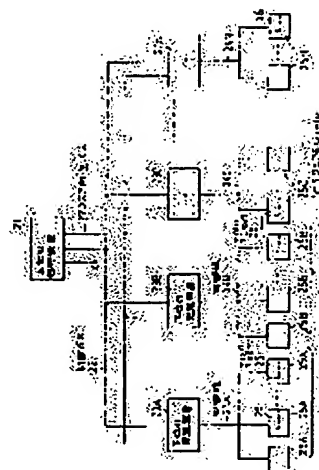
(72)Inventor : UEDA MOTOO  
HASEGAWA SHINPEI  
SHIMIZU TOSHIYUKI

## (54) IC TEST SYSTEM

## (57)Abstract:

PURPOSE: To achieve a test operation exact in time, by a method wherein the execution by lines of a test program is controlled with higher-order processors, actual execution of the program is done with a lower-order processor and the high- and lower-order processors are operated by the same clock signal.

CONSTITUTION: A plurality of lower-order processors 23AW23N are connected to a higher-order processor 21. The processor 21 decides whether a program line read is executed or not checking progress in a test for an element to be tested and assigns actual execution of the program line decided to be executed to any of the processors 23AW23N connected at a lower order. The processor 21 and the processors 23AW23N are connected to a bidirectional bus 27 to obtain complete synchronization of control processing between the processors and a system clock ck of the processor 21 is supplied to the processors 23AW23N.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-298177

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月5日

G 01 R 31/28

H-6912-2G

H 01 L 21/66

6851-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 ICテストシステム

⑮ 特 願 昭62-133814

⑯ 出 願 昭62(1987)5月29日

⑰ 発 明 者 植 田 基 夫 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑱ 発 明 者 長 谷 川 真 平 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

㉑ 発 明 者 清 水 敏 行 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

㉒ 出 願 人 株式会社 アドバンテスト 東京都練馬区旭町1丁目32番1号

㉓ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

ICテストシステム

2. 特許請求の範囲

(1) テストプログラムの実行を制御する上位の処理装置と

その上位の処理装置により制御され、テストプログラムを行単位でモジュールアクセスする命令、テストステータスを更新する命令を実行する複数の下位の処理装置と、

その上位の処理装置により制御され、命令の実行に伴って被試験素子に対する試験信号の発生、被試験素子の出力信号の測定をそれぞれ行う複数のハードウェアモジュールとから成るICテストシステムであって、

下位の各処理装置のステータス情報を、上位の処理装置と下位の各処理装置とを接続するデータバスの同一のビット線へ供給する手段と、

上位の処理装置からシステムクロックを下位の各処理装置に供給する手段と

を有するICテストシステム。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

「従来の技術」

第3図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置(図示せず)に格納されており、中央処理装置11が記憶装置からそのテストプログラムを読出して順次実行するように構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12によりハードウェアモジュール13A、13B、13C~13Nが接続されており、中央処理装置11がテストプログラムを解釈して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A、

13B, 13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するためのハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14

3

被試験素子に供給したり、正確な時間関係でその応答信号を測定するには、それらのタイミング関係を演算して各ハードウェアモジュールに制御信号を与えなければならず、一台の中央処理装置で制御するのは困難でもある。

またこのようなICテストシステムでは、一台の中央処理装置にシステム制御の全てを任せると試験速度が遅くなるので、複数の処理装置を用いて構成する分散処理システムを考えることもできる。しかし、このような分散処理システムにおいても、各処理装置間で正確に同期された制御信号を各ハードウェアモジュールに供給して完全にタイミングの合った試験信号や時間間隔の正確な順序信号を出力させたり、信号の測定をすることはなかなか難しい。例えば、主となる一台の処理装置が各処理装置に対して同期を合わせた処理の開始を指示したり、その処理の状態を示す信号を各処理装置から各別に読取り、その順次読取った信号を総合して次の処理を行う必要がある。このように各処理装置間で正確に同期のとれた処理をさ

5

は単なる論理素子の代替えであり、予め決められたシーケンス制御をするだけであって、複雑な判断機能を必要とするような使い方は一般にされていない。

#### 「発明が解決しようとする問題点」

中央処理装置はプログラムの解釈と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要なとされるあらゆる演算制御を行う必要がある。

例えば、テストプログラムに記述されている電圧信号を被試験素子に供給する場合には、中央処理装置はそのデジタルデータ値をハードウェアモジュールに供給したり、被試験素子の出力信号を測定する場合には、得られた測定値を必要に応じて補正換算し、所定の判定表と比較して良否の判定をしたり或いはランク付けをすることもある。

しかも、数十から百にも及ぶ入出力端子に対する多くの試験信号を正確にタイミングを合わせて

4

せるのは困難であり、敢えてその処理をさせても、厳密な同期合わせ処理は一般に非常に複雑で多くの処理時間を要するし、いついかなる状況においても、正確な同期合わせ処理が可能かどうか疑問である。

#### 「問題点を解決するための手段」

この発明では、テストシーケンスが記述されたテストプログラムを行単位で実行することを上位の処理装置が制御し、そのプログラム行に記述されている制御内容の実際の解釈及び実行は、上位の処理装置に制御される下位の処理装置に委ねられる。その下位の処理装置はプログラム行を実行してハードウェアモジュールへアクセスし、或いはテストステータスの更新などを行う。

またこの発明によれば、下位の各処理装置のステータス情報は上位の処理装置に同一のバスに乗せて供給されると共に、上位の処理装置のステータス情報はそのバスにより下位の各処理装置に供給される。

更にこの発明では、上位の処理装置からシステ

6

ムクロックが下位の各処理装置に供給される手段が設けられる。

#### 「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位による実行するを制御し、プログラム行の実際の解読及び実行は下位の専用の処理装置によって分散して行われる。

更に、この発明の構成によれば、上位の処理装置と下位の各処理装置との間でのステータス情報の相互交換はそれぞれ一度の交換で可能である。また、上位及び下位の各処理装置は同一のクロック信号に同期して動作するので、被試験素子に対して時間的に正確な試験動作が可能である。

#### 「実施例」

第1図はこの発明のICテストシステムの構成例を示すブロック図である。この例では、特にDCテスト、つまり、電流信号入力-電圧信号出力特性、或いは電圧信号入力-電流信号出力特性などのような試験に適合するように構成されている。このICテストシステムは記憶装置(図示せず)に

7

かに委ねられる。

下位の各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号をハードウェアモジュール25A, 25B, 25C~25Nを用いて制御するに適した専用の処理装置であり、ハードウェアモジュール25A, 25B, 25C~25Nにアクセスしたりテスト状態(端子の接続や測定器の状態)等を変更したりするのに便利な命令語体系をもつ。又、マクロ命令化されているので上位処理装置21が自分の命令語体系を用いてハードウェアモジュール25A, 25B, 25C~25Nに直接同じ処理をさせるより数十倍の処理速度が得られるように構成されている。

各処理装置23A, 23B, 23C~23Nは上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解読し、プログラム行の実行に入る。つまり、処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持

格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21の制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A, 23B, 23C~23Nと、これ等下位の処理装置23A, 23B, 23C~23Nに制御されるハードウェアモジュール25A, 25B, 25C~25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で記述され、上位の処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C~23Nが接続されており、上位の処理装置21は被試験素子に対するテストの進行状態をみながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A, 23B, 23C~23Nの何れ

8

しており、与えられたプログラム行の解読結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

また、処理装置23A, 23B, 23C~23Nは、上位の処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う。

ハードウェアモジュール25A, 25B, 25C~25Nは下位の処理装置23A, 23B, 23C~23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を出力したり或いは被試験素子の指

定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A, 25B, 25C~25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えた所謂判断機能のない決められたシーケンスを高速に行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

更に、階層構造を採るこの発明のICテストシステムでは、上位の処理装置21と下位の処理装置23A, 23B, 23C~23N間での情報交換量を可能な限り少なくすることによりテストシステムの試験速度を向上させるように構成され、また、下位の各処理装置23A, 23B, 23C~23N相互間で制御処理の完全な同期が得られるように構成される。即ち、双方向性バス27が設けられ、この双方向性バス27に上位の処理装

置21及び下位の各処理装置23A, 23B, 23C~23Nが接続される。また、上位の処理装置21のシステムクロックckが下位の各処理装置23A, 23B, 23C~23Nに供給される。

第2図はこの発明の要部の構成例を示す図である。この例では、一本の双方向性バス27が設けられ、この双方向性バス27に各処理装置23A, 23B, 23C~23N及び上位の処理装置21がそれぞれワイヤードオア回路31A, 31B, 31C~31N及び31Pを介して接続され、それぞれの内部状態を示すステータス32A, 32B, 32C~32N及び32Pが双方向性バス27に乗せることが可能のように構成される。また、上位の処理装置21のシステムクロックckはクロック信号線33を通して下位の各処理装置23A, 23B, 23C~23Nに供給される。

システムクロックckはクロック信号線33を伝搬していく間に、例えば1m当たり数n秒の信号遅延を受けるので、各処理装置23A, 23B, 23C~23Nに到達した時点では上位の処理装

## 1 1

置21から出力された時とはクロックのタイミングが遅れてしまう。しかし、クロック信号線33の長さは、このクロック信号線33からシステムクロックckが受ける遅延時間がその1周期分より十分に短くなるようにする。例えば、ここで用いられるシステムクロックckは10MHzの50:50の矩形波信号であり、クロック信号線33の総延長が1mならば、最大で数n秒のタイミングの遅れに留まるようにする。

上位の処理装置21は下位の各処理装置23A, 23B, 23C~23Nに対して同時に処理を開始させる場合には、上位の処理装置21から双方向性バス27上を伝えられる信号は正論理として扱われる。つまり、上位の処理装置21は自分のステータス32Pの内容を例えば「1」にする。そのステータス32Pはスタート信号として双方向性バス27を伝搬し、ワイヤードオア回路31A, 31B, 31C~31Nを介して下位の各処理装置23A, 23B, 23C~23Nの各ステータス32A, 32B, 32C~32Nに伝えられる。

## 1 2

他方、上位の処理装置21のシステムクロックckはクロック信号線33を介して各処理装置23A, 23B, 23C~23Nに供給されており、各処理装置23A, 23B, 23C~23Nはワイヤードオア回路31A, 31B, 31C~31Nに供給されたスタート信号をそのシステムクロックckで取込むことができる。しかも、その遅延時間はシステムクロックckの1周期分の時間より十分に短くなるようにしてあるので、同一システムクロックckの同一のタイミングで取込むことができる。従って、各処理装置23A, 23B, 23C~23Nはシステムクロックckにより完全に同期して動作することができる。

つまり、上位の処理装置21は同期処理スタート信号として、自分のステータス32Pを「1」に一度するだけで、下位の各処理装置23A, 23B, 23C~23Nに自分に割り当てられている同期処理を開始させることができ、従って、ほぼ完全に同期した試験信号を被試験素子に供給し、或いは測定することができる。

また、この発明では、各処理装置23A、23B、23C～23Nは同期を要する処理が終了すると、ステータス32A、32B、32C～32Nを終了したことを示すものに変える。この場合には、終了信号は負論理として扱われる。即ち、下位の各処理装置23A、23B、23C～23Nは同期処理が終了するとそれぞれのステータス32A、32B、32C～32Nを「0」にする。この各終了信号はワイヤードオア回路31A、31B、31C～31Nを介して双方向性バス27に出力される。従って、全てのステータス32A、32B、32C～32Nが「0」に操作されると、初めて双方向性バス27上の信号は「0」に変化する。上位の処理装置21はこの一本の双方向性バス27に乘せられてくる信号のレベルを監視することにより、各処理装置23A、23B、23C～23Nによる同期試験処理が完了したか否かを知ることができる。従って、各処理装置23A、23B、23C～23Nの同期処理の終了信号を各別に読出す必要がなく、その分だけ他の処理を行うこと

15

るので試験速度の向上にも大いに効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明によるICテストシステムの実施例を示す構成図、第2図はこの発明の要部の構成例を示す図、第3図は従来のICテストシステムの構成例を示す図である。

11：中央処理装置、12：制御線、13：ハードウェアモジュール、14：マイクロプロセッサ、21：上位の処理装置、22：制御バス、23：下位の処理装置、24：制御線、25：ハードウェアモジュール、26：マイクロプロセッサ、27：双方向性バス、31：ワイヤードオア回路、32：ステータス、33：クロック信号線。

特許出願人 株式会社 アドバンテスト

代理人 草野 卓

ができ、速やかなシステム制御が可能になる。

#### 「発明の効果」

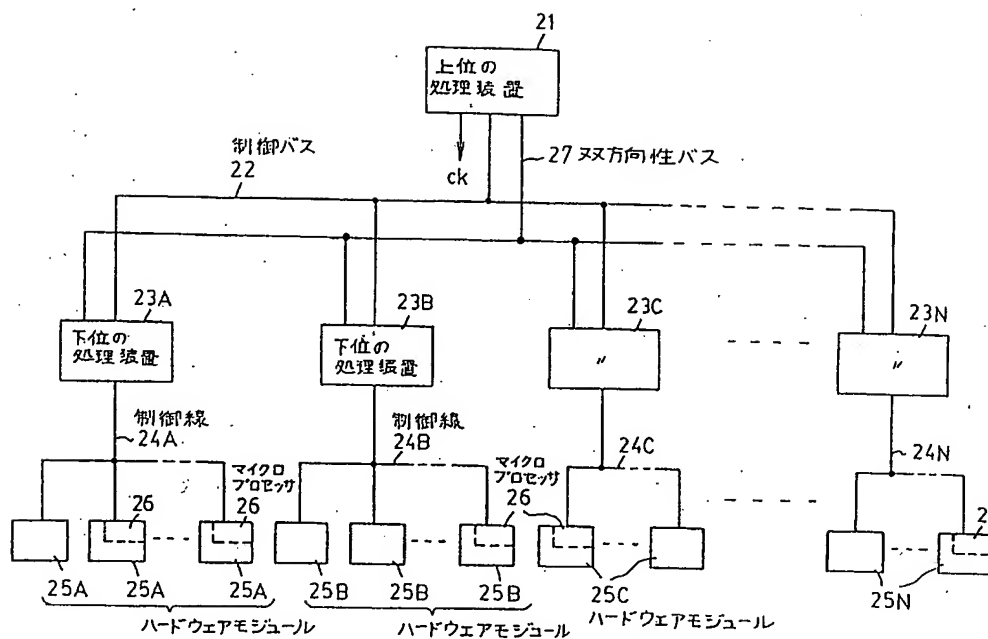
以上に説明したように、この発明によれば、上位に在る処理装置は専らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置に分散して行わせる階層構造とした構成にする。この分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を使用しているので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

また、この発明の構成によれば、被試験素子に対する試験を下位の各処理装置により分割して行うに際し、下位の各処理装置間では完全に同期をとって制御プログラムを処理をすることが可能となり、被試験素子に対して同期的或いは正確な時間順序に従う試験信号の供給及び測定が可能となった。

また、これらの同期的処理に関する上位の処理装置によるシステム制御処理が速やかに実行され

16

为 1 图



为 2 图

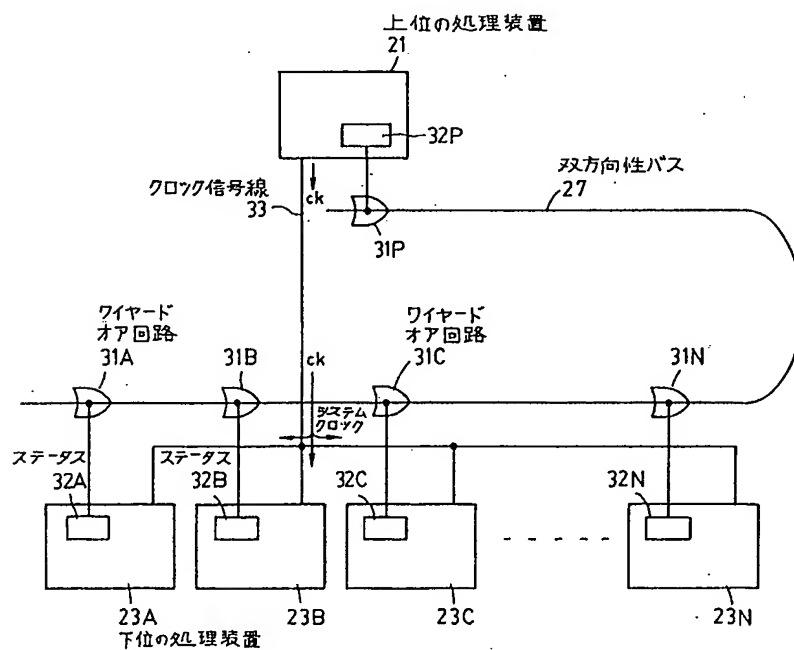




図 3

